

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-154283

(43) Date of publication of application : 27.05.1992

(51)Int.Cl.

H04N 5/335

H01L 27/148

(21) Application number : 02-279932

(71) Applicant : SONY CORP

(22) Date of filing : 17.10.1990

(72) Inventor : HAMAZAKI MASA HARU

(54) **SOLID IMAGE PICKUP APPARATUS**

(57) Abstract:

PURPOSE: To miniaturize a solid image pickup apparatus with the means of refining of picture element cells by installing a noise removal means in each vertical line for removing a noise contained in the amplification output of each photo-receptor.

CONSTITUTION: Output from noise removal purpose capacitor C0, after passing buffer amplifier 13, is supplied a changeover switch 14 alternatively to sample/ hold purpose capacitors C1 and C2 that are the first and second signal holding means, and treated for sample/hold by capacitors C1 and C2. Changeover control of changeover switch 14 is executed by sample/hold pulse ϕ_{SH} generated during a blanking period of time for each lines In this case, picture element outputs on even lines are held in capacitor C1, while picture element outputs on odd lines in capacitor C2, respectively. As a result, micro-miniaturization of picture element cell can downsize the apparatus.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-154283

⑤ Int. Cl.⁵

H 04 N 5/335
H 01 L 27/148

識別記号

E

庁内整理番号

8838-5C

⑬ 公開 平成4年(1992)5月27日

8122-4M H 01 L 27/14

B

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 固体撮像装置

⑰ 特 願 平2-279932

⑱ 出 願 平2(1990)10月17日

⑲ 発 明 者 浜 崎 正 治 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉑ 代 理 人 弁理士 船橋 国則

明 細 書

毎に設けたことを特徴とする固体撮像装置。

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

水平及び垂直方向にてマトリクス状に2次元配列された複数画素の各画素毎に、

入射光量に応じて信号電荷を蓄積する光電変換部と、この光電変換部から転送される信号電荷を貯える集電部と、この集電部の信号電荷を増幅して出力する増幅用MOSトランジスタと、この増幅用MOSトランジスタのゲート電位を所定電位にリセットするリセット用MOSトランジスタとを有する受光部を設け、

前記リセット用MOSトランジスタのゲート電極及びドレイン電極への電圧印加により垂直方向における画素の選択をなすと共に、

前記増幅用MOSトランジスタの増幅出力に含まれる雑音を除去する雑音除去回路を垂直ライン

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、固体撮像素子に関し、特に受光部毎に増幅素子を有する増幅型固体撮像装置に関する。

<発明の概要>

本発明は、受光部毎に増幅素子を有する増幅型固体撮像装置において、各受光部の増幅用MOSトランジスタのゲート入力のリセットするリセット用MOSトランジスタのゲート電極及びドレイン電極への電圧印加によって水平ラインの選択を行うと共に、各受光部の増幅出力に対して垂直ライン毎に雑音除去手段を設けて雑音の低減を図ることにより、低雑音化による高感度化及び画素セルの微細化による装置の小型化を可能としたものである。

<従来の技術>

基本的な CCD 型固体撮像装置では、各画素の光電変換部に入射光量に応じて蓄積された信号電荷を、CCD を用いて電荷のまま出力部に転送する構成となっていたため、CCD による電荷転送中に雑音成分が混入することにより、S/N が劣化し易いという不具合があった。

かかる不具合を解消すべくなされた固体撮像装置として、従来、入射光量に応じて信号電荷を蓄積する光電変換部と、この光電変換部に蓄積された信号電荷を増幅する手段と、この増幅手段の入力をリセットする手段とを有する受光部を、2 次元状に配列された複数画素の各画素毎に設けた構成の増幅型固体撮像装置が知られている（例えば、特開平 1-154678 号公報参照）。

< 発明が解決しようとする課題 >

しかしながら、増幅型固体撮像装置では、キズ欠陥を含む固定パターン雑音に関しては、製造プロセスの技術改善により雑音低減が可能であるものの、素子の特性等に起因するリセット雑音は原

幅出力に含まれる雑音を除去する雑音除去回路を垂直ライン毎に設けた構成を採っている。

< 作用 >

本発明による固体撮像装置では、各受光部の増幅用 MOS トランジスタのゲート入力をリセットするリセット用 MOS トランジスタのゲート電極及びドレイン電極への電圧印加によって水平ラインを選択する。そして、垂直ライン毎に設けられた雑音除去手段によって各受光部の増幅出力に含まれる雑音の除去をなす。

< 実施例 >

以下、本発明の実施例を図面に基づいて詳細に説明する。

第 1 図は、本発明による固体撮像装置の一実施例の要部のみを示す回路図である。この図では、説明の都合上、水平及び垂直方向においてマトリクス状に 2 次元配列された複数画素のうち、隣り合う n 番目及び $n+1$ 番目の 2 ラインの各 1 画素

理的なものであるため、固体撮像装置の小型化を図るべく画素セルを微細化すると、S/N が悪化するという問題があった。

そこで、本発明は、低雑音化により高感度で、しかも画素セルの微細化により装置の小型化が可能な固体撮像装置を提供することを目的とする。

< 課題を解決するための手段 >

本発明による固体撮像装置は、水平及び垂直方向にてマトリクス状に 2 次元配列された複数画素の各画素毎に、入射光量に応じて信号電荷を蓄積する光電変換部と、この光電変換部から転送される信号電荷を貯える集電部と、この集電部の信号電荷を増幅して出力する増幅用 MOS トランジスタと、この増幅用 MOS トランジスタのゲート電位を所定電位にリセットするリセット用 MOS トランジスタとを有する受光部を設け、リセット用 MOS トランジスタのゲート電極及びドレイン電極への電圧印加により垂直方向における画素の選択をなすと共に、増幅用 MOS トランジスタの増

みの回路構成を示しているが、残りの画素も全て同じ回路構成となっているものとする。

図において、各画素に光が入射すると、その入射光量に応じた信号電荷がストレージ (ST) 1 に貯えられる。このストレージ 1 及びその出力ゲート (OG) スイッチ 2 により 1 ビットの CCD (Charge Coupled Device) が構成されている。また、この CCD と同一チップ上にリセット用 MOS-FET 3 とソースホロワの増幅用 MOS-FET 4 とが作られ、増幅用 MOS-FET 4 のゲートがフローティング・ディフュージョン (Floating Diffusion) に接続されてフローティング・ディフュージョン・アンプ (FDA) 5 を構成している。

このフローティング・ディフュージョン・アンプ 5 において、出力ゲートスイッチ 2 のゲート電極が出力ゲート (OG) 信号線 6 に接続され、又リセット用 MOS-FET 3 のゲート電極がリセットゲート (RG) 信号線 7 a に、リセット電極がリセットドレイン (RD) 信号線 7 b にそれ

それぞれ接続されている。そして、垂直走査シフトレジスタ8から、出力ゲートスイッチ2のゲート電極に出力ゲートパルス ϕ_{o1} が、またリセット用MOS-FET3のゲート電極にリセットゲートパルス ϕ_{rc} が、ドレイン電極にリセットドレインパルス ϕ_{rd} がそれぞれ印加されることにより水平ラインの選択を行うようになっている。また、増幅用MOS-FET4のドレイン電極には電源電圧 V_{DD} が印加され、そのソース電極が出力端 V_{out} として垂直信号線9に接続されている。そして、1の水平ラインが選択されると、その選択された水平ラインの画素の信号電荷が増幅用MOS-FET4によって増幅されて垂直信号線9に出力される。

垂直信号線9には転送ゲートスイッチ10を介して負荷トランジスタ11が接続されており、垂直信号線9に出力された各画素の増幅出力はノイズ除去用コンデンサ C_1 に貯えられる。このコンデンサ C_1 の出力端にはクランプスイッチ12が接続されており、クランプスイッチ12がその

ゲート電極にクランプパルス ϕ_{cl} が印加されることによってオン状態となることにより、コンデンサ C_1 の出力端の電位がクランプレベル V_{cl} にクランプされる。このノイズ除去用コンデンサ C_1 及びクランプスイッチ12により、増幅用MOS-FET4のソース出力に含まれるリセット雑音等の雑音を低減するためのCDS(相関二重サンプリング)回路15が構成されている。

ノイズ除去用コンデンサ C_1 の出力は、バッファアンプ13を経た後切替えスイッチ14によって第1、第2の信号保持手段であるサンプル/ホールド用コンデンサ C_1 、 C_2 に択一的に供給され、これらコンデンサ C_1 、 C_2 によってサンプル/ホールドされる。切替えスイッチ14の切替え制御は、水平ブランキング期間において発生されるサンプル/ホールドパルス ϕ_{sh} によって1ライン毎に行われる。これにより、例えば、偶数ラインの画素出力がコンデンサ C_1 に、奇数ラインの画素出力がコンデンサ C_2 にそれぞれホールドされることになる。

コンデンサ C_1 、 C_2 のホールド出力は、バッファアンプ16-1、16-2を経た後水平ゲートスイッチ17-1、17-2によるスイッチングによって水平信号線18-1、18-2に導出される。水平ゲートスイッチ16-1、16-2のスイッチング制御は、水平走査シフトレジスタ19から出力される水平シフトパルス ϕ_h によって行われる。

かかる構成の本発明による固体撮像装置の断面構造を第2図に示す。なお、第2図は、1ユニットセルにおけるST-OGR-CRD-FET4のドレイン電極(V_{DD})—ゲート電極—ソース電極(V_{out})の断面図である。同図から明らかなように、本発明による固体撮像装置は、薄いシリコン基板20の表面上にフローティング・ディフュージョン・アンプ(FDA)を構成する電極素子群を配し、その上にさらにCVD(Chemical Vapor Deposition)等の方法により SiO_2 膜21を堆積させる一方、シリコン基板20の裏面に配された SiO_2 膜22上に第4図に示す如くXYマトリクス状にパターン配線された水平アルミ線23及

び垂直アルミ線24にリセットドレイン(RD)及び増幅用MOS-FET4の出力端(V_{out})をそれぞれ接続し、シリコン基板20の裏面側から照射光を取り込むいわゆる裏面照射型構造となっている。

このように、固体撮像装置の構造を裏面照射型とすることにより、シリコン基板20の裏面側には水平アルミ線23及び垂直アルミ線24がパターン配線されているのみであるため、開口率を飛躍的に向上できることになる。

続いて、本発明による固体撮像装置において、垂直走査シフトレジスタ8及び水平走査シフトレジスタ19によって選択された1画素につき、第2図のセル断面図及び第3図のポテンシャル分布図を参照しつつ第5図のタイムチャートに従ってその動作を説明する。

まず、水平ブランキング期間において、第3図に示すように、垂直方向において選択するn番目の水平ラインのRD(リセットドレイン)に対してのみ、時点 t_1 でリセットドレインパルス ϕ_{rd}

による高レベル（例えば、5 V）のリセット電圧 V_{rs} を印加し、残りの水平ラインの RD には低レベル（例えば、1.5 V）の電圧を印加することにより、ライン選択を行う。このとき、選択された水平ラインの画素の FD をリセットゲートパルス ϕ_{rs} でリセットすれば、FD の電位が高レベルとなり、これにより増幅用 MOS-FET 4 のゲート電位も高レベルとなる。一方、選択されなかった水平ラインの画素においては、その FD 電位を低レベルに保持することにより、増幅用 MOS-FET 4 はそのゲート電位が第3図に点線で示す如く FD 電位よりスレッショールドレベル V_{th} 分だけ低レベル（例えば、0.5 V）となり、カットオフ状態になる。

次に、時点 t_2 でリセットゲートパルス ϕ_{rs} が低レベルに遷移することにより、リセット用 MOS-FET 3 がカットオフ状態となる。この状態では、クランプパルス ϕ_{cl} によりクランプスイッチ 12 がオンとなってコンデンサ C₁ の出力端をクランプレベル V_{cl} に固定している。そして、

／ホールド用コンデンサ C₂、側に切り替えて信号電圧をコンデンサ C₁ に入力し、サンプル／ホールドパルス ϕ_{sh} が消滅する時点 t_3 で切替えスイッチ 14 をオフ状態（図の中立位置）としてコンデンサ C₁ の信号電圧をホールドする。

上述した動作タイミングによって n 番目の水平ラインの信号電荷を増幅用 MOS-FET 4 で増幅し、CDS 回路 15 のコンデンサ C₁ に貯えたなら、続けて同様の動作タイミングによって n+1 番目の水平ラインの信号電荷を増幅用 MOS-FET 4 で増幅し、CDS 回路 15 のコンデンサ C₂ に貯える。これにより、水平走査シフトレジスタ 19 から発せられる水平シフトパルス ϕ_{sh} による水平ゲートスイッチ 17₁、17₂ のスイッチング制御によって垂直方向の隣り合う 2 画素の信号を水平走査有効期間に独立に読み出すことができることになる。なお、水平走査有効期間では、リセットゲート (RG) を高レベル、リセットドレイン (RD) を低レベル（約 1.5 V）にする。

この読出しの際に、コンデンサ C₁、C₂ の各

時点 t_2 でクランプパルス ϕ_{cl} が消滅することにより、クランプスイッチ 12 がオフとなる。

この CDS 回路 15 におけるコンデンサ C₁、及びクランプスイッチ 12 の作用により、キズを含む固定パターン雑音 (FPN)、ソースホロウの入力オフセットばらつきに起因する V_{th} ムラやソースホロウの低周波 (1/f) 雑音及び FDA のリセット時に発生するリセット雑音、さらには信号線や CCD への光の混入に起因するスミアをキャンセルできることになる。これにより、固体撮像装置の出力信号の信号処理系において従来用いられていた FPN 除去用のフレームメモリが不要となる。

続いて、出力ゲートパルス ϕ_{og} により時点 t_4 で出力ゲート (OG) 2 をオン状態とすることにより、ストレージ (ST) 1 に貯えられた信号電荷を FD へ転送し、出力ゲートパルス ϕ_{og} が消滅する時点 t_5 までの間に全ての信号電荷を FD に移す。しかる後、サンプル／ホールドパルス ϕ_{sh} により時点 t_6 で切替えスイッチ 14 をサンプル

ホールド出力を順次に読み出すことにより、ノンインターレースのテレビジョン信号を得ることができることになる。また、コンデンサ C₁、C₂ の各ホールド出力を同時に読み出すようにしても良く、この場合には、読み出した信号を図示せぬ信号処理系で適当に処理することにより、順次読出しの場合と同様に、ノンインターレースのテレビジョン信号を得ることができることになる。

ストレージ (ST) 1 が信号電荷で溢れた場合には、その信号電荷は ST → OG → FD → RD へと機型オーバーフローにより捨てられることになる。このように、リセット用 MOS-FET 3 のドレイン電極 (RD) を水平ラインの選択に利用すると共に、オーバーフロートレインに共用することにより、水平ラインの選択素子及びオーバーフロートレインの構成を簡易化できる。

< 発明の効果 >

以上説明したように、本発明によれば、各受光部の増幅用 MOS トランジスタのゲート入力をし

セットするリセット用 MOS トランジスタのゲート電極及びドレイン電極への電圧印加によって水平ラインの選択を行うと共に、各受光部の増幅出力に対して垂直ライン毎に雑音除去手段を設けて雑音の低減を図る構成となっているので、低雑音化により高感度化及び画素セルの微細化が図れ、さらには画素セルの微細化によって装置を小型化できる効果がある。

4. 図面の簡単な説明

第 1 図は、本発明による固体撮像装置の一実施例の要部のみを示す回路図、

第 2 図は、1 ユニットセルの構造を示す断面構造図、

第 3 図は、第 2 図に対応して示したポテンシャル分布図、

第 4 図は、本発明による固体撮像装置の一部を示す裏面図、

第 5 図は、第 1 図の回路動作を説明するためのタイムチャートである。

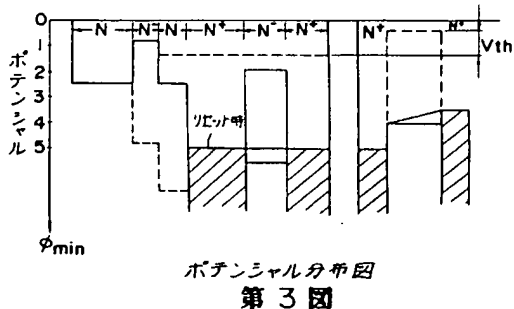
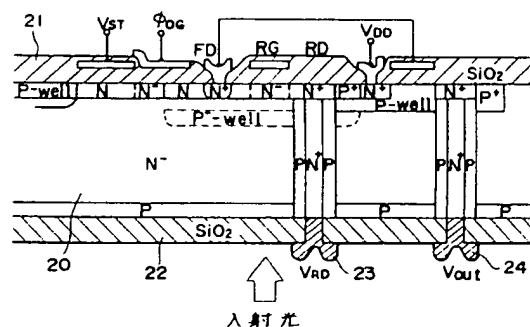
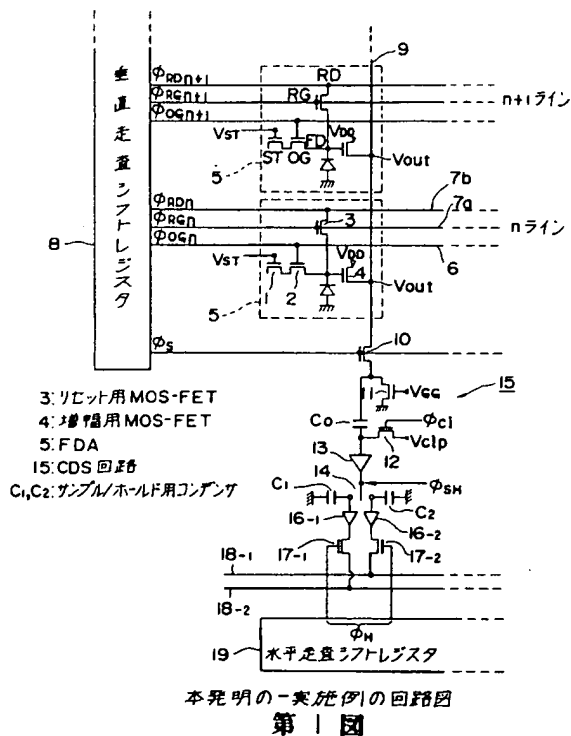
- 1 … ストレージ (ST) ,
- 2 … 出力ゲート (OG) ,
- 3 … リセット用 MOS-FET ,
- 4 … 増幅用 MOS-FET ,
- 5 … FDA (フローティング・ディフュージョン・アンプ) ,
- 12 … クランプスイッチ ,
- 15 … CDS (相関二重サンプルホールド) 回路 ,
- C₁ , C₂ … サンプル/ホールド用コンデンサ ,

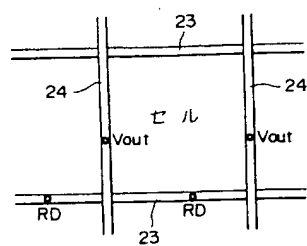
特許出願人

ソニー株式会社

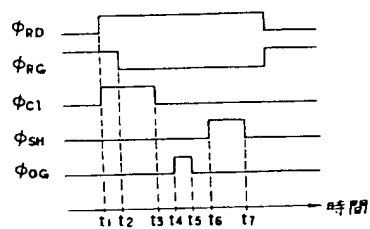
代理人

弁理士 船橋 國 則





固体撮像装置の裏面図
第 4 図



回路動作のタイムチャート
第 5 図